

		<b>Naziv predmeta:</b> <i>Projektovanje digitalnih sistema</i>		
<b>Šifra predmeta</b>	<b>Status predmeta</b>	<b>Semestar</b>	<b>Broj ECTS kredita</b>	<b>Fond Časova</b>
	<b>Obavezni</b>	<b>VIII</b>	<b>6</b>	<b>3P+0V+1L</b>

**Studijski programi za koje se organizuje:**  
**Specijalističke studije, studijski program Elektronika, Telekomunikacije i Računari, smjer Elektronika**

**Uslovljenost drugim predmetima:**

Nema.

**Ciljevi izučavanja predmeta:**

U okviru ovog predmeta studenti se upoznaju sa osnovnim principima digitalnog dizajna najnižeg nivoa. Cilj je da se studenti osposobe da dizajniraju i razvijaju digitalne sisteme malih i srednjih veličina, izvrše potrebne analize, kao i implementaciju na FPGA kolu.

**Ime i prezime nastavnika i saradnika:** *Prof. dr Milutin Radonjić*

**Metod nastave i savladavanja gradiva:**

Predavanja i laboratorijske vježbe, individualni rad na praktičnim zadacima, konsultacije.

**Sadržaj predmeta:**

Pripremne nedjelje	Priprema i upis semestra.
I nedjelja	Uvodno predavanje.
II nedjelja	Uvod u tehnologiju mikrosistema. Pregled tehnologija za implementaciju. SSI, MSI, LSI, VLSI. Projektovanje opštih sistema. Dizajn standardne ćelije. Dizajn GA.
III nedjelja	Field Programmable logika. FPGA. Verilog HDL: tipovi podataka, moduli i portovi. <b>1. domaći zadatak</b>
IV nedjelja	Tok dizajna. Verifikacija. Logička korektnost. Analiza statičkog tajminga. Verifikacija unutar funkcionalnog sistema.
V nedjelja	Xilinx Spartan-3E familija kola. Xilinx Spartan-3E Starter Kit. Xilinx ISE razvojni sistem. <b>2. domaći zadatak</b>
VI nedjelja	Verilog HDL: operatori, trajno određivanje.
VII nedjelja	Verilog HDL: proceduralno određivanje. <b>3. domaći zadatak</b>
VIII nedjelja	<b>Kolokvijum.</b>
IX nedjelja	Verilog HDL: signalna i vremenska ograničenja.
X nedjelja	Verilog HDL: kontrola kašnjenja, sistemske funkcije. <b>4. domaći zadatak.</b>
XI nedjelja	Implementacija automata.
XII nedjelja	Razmatranja o sintezi. Razmatranja o FPGA. <b>5. domaći zadatak.</b>
XIII nedjelja	Dizajn i fabrikacija VLSI uređaja.
XIV nedjelja	<b>Popravni kolokvijum.</b>
XV nedjelja	Proces fabrikacije i njegov uticaj na fizički dizajn.
XVI – XIX nedjelja	<b>Završni ispit i popravni ispit.</b>

#### OPTEREĆENJE STUDENATA

<b>Nedjeljno</b>	<b>U toku semestra</b>
	<b>Nastava i završni ispit:</b> (8 sati) x 16 = <b>128 sati.</b> <b>Neophodna priprema</b> (prije početka semestra): 2 x (8 sati) = <b>16 sati.</b>
<b>Radni časovi:</b> 6 kredita x 40/30 = <b>8 sati</b>	<b>Ukupno opterećenje za predmet:</b> <b>6x30 = 180 sati</b>
<b>Struktura:</b> 3 sata predavanja 1 sat laboratorijskih vježbi 4 sata za individualni rad, uključujući konsultacije..	<b>Dopunski rad</b> za pripremu ispita u popravnom ispitnom roku, uključujući i polaganje popravnog ispita <b>od 0 do 33 sata.</b>
	<b>Struktura opterećenja:</b> 128 sati (nastava) + 16 sati (priprema) + 33 sata (dopunski rad)

Studenti su obavezni da pohađaju nastavu, rade i predaju domaće zadatke, urade laboratorijske vježbe i kolokvijum.

**Literatura:**

- Spartan-3E Starter Kit Board User Guide, Xilinx, 2006.
- A Guide To Digital Design And Synthesis, by Samir Palnitkar, Prentice Hall, 2003.
- Digital VLSI Design with Verilog, by John M. Williams, Springer, 2008.
- Algorithms for VLSI Physical Design Automation, by Naveed A. Sherwani, Kluwer Academic Publishers, 2002.

**Oblici provjere znanja i ocjenjivanje:**

- Domaći zadaci nose **5x1** poen.
- Kolokvijum nosi **50** poena.
- Završni ispit nosi **45** poena.

Prelazna ocjena se dobija ako se kumulativno sakupi najmanje **50** poena.

**Posebnu naznaku za predmet:**

U slučaju potrebe nastava se može održati na engleskom jeziku.

**Ime i prezime nastavnika koji je pripremio podatke:** *Prof. dr Milutin Radonjić*

**Napomena:**